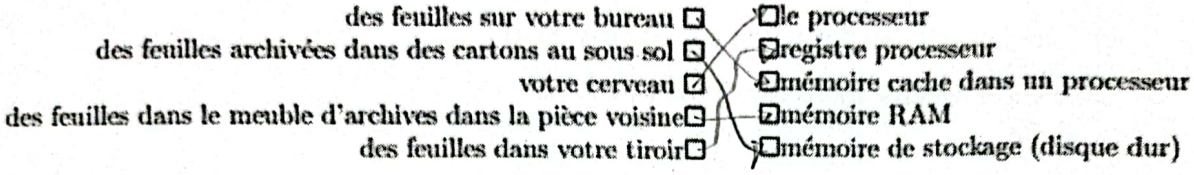
GCR2
2022/2023

Electronique des Systèmes Embarqués

Série de TD N°2

Exercice n° 1

Faire une analogie entre 2 colonnes (un ordinateur et vous qui êtes installé chez vous à votre bureau).



Exercice n° 2

1. Quel est le nom du SoC de votre smartphone ?
2. Quelles en sont les fonctionnalités ? traite et des i-formation / communication ... gestion de calcule/stockage de mémoire
3. Quelles sont les caractéristiques du processeur ? Rapidité / vitesse

Exercice n° 3

Depuis le tout premier circuit intégré (le 4004) jusqu'à nos jours, cette loi s'est toujours vérifiée, même si on s'en éloigne actuellement. Voici un exemple avec quelques processeurs d'Intel : loi de moore/ chaque année, le plan de transistor double

- 1971 : Intel 4004 : 2 300 transistors
- 1978 : Intel 8086 : 29 000 transistors
- 1982 : Intel 80286 275 000 transistors
- 1989 : Intel 80486 : 1 160 000 transistors
- 1993 : Pentium : 3 100 000 transistors
- 1995 : Pentium Pro : 5 500 000 transistors } x 4
- 1997 : Pentium II : 27 000 000 transistors
- 2001 : Pentium 4 : 42 000 000 transistors
- 2004 : Pentium Extrême Edition : 169 000 000 transistors
- 2006 : Core 2 Quad : 582 000 000 transistors
- 2010 : Core i7 : 1 170 000 000 transistors

Le nombre de transistors sur un processeur suit la loi de Moore. Expliquer. suit la loi exponentiel

Exercice n° 4

complexe : traite et de façon hiérarchique
mot technique utilisé le RISC

1. Donner les significations de chacune des acronymes CISC et RISC.
2. Quelle est la principale différence entre un CISC et un RISC.
3. Quelles sont les caractéristiques d'un circuit DSP. Qui le différencie d'un processeur classique.
4. Quelles sont les caractéristiques d'un processeur ARM.

RISC : Reduced : traite de façon parallèle / utilisation fréquent de mémoire cache

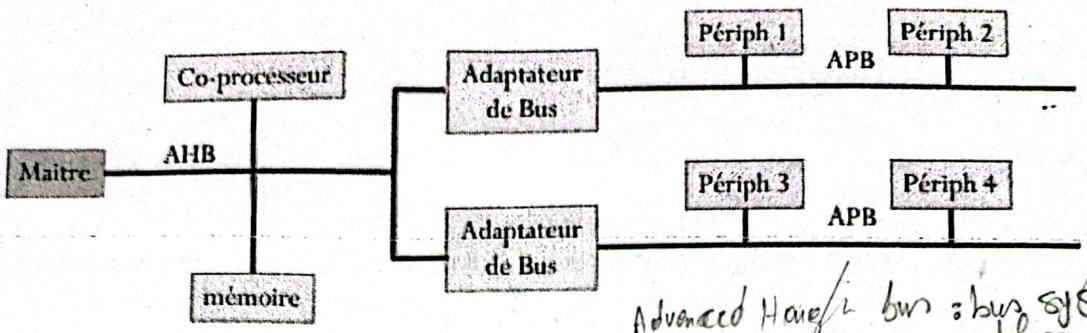
DSP : digital signal processeur : conçu pour traiter numérique du signal • type : caméra vidéo / diffé / : à haut fréquence

CISC : complexe / instruction /

Advanced Reduced machine
- grande qté de donnée numérisée
- traite tout en parallèle

Exercice n° 5

Soit le schéma suivant :



1. Donner les spécifications d'un bus AMBA AHB
2. Donner les spécifications d'un bus AMBA APB

Exercice n° 6

1. Que doit faire votre ordinateur si vous avez besoin de 4 Go de mémoire vive (RAM) mais que vous en avez uniquement 3 ? Quel est la conséquence pour l'exécution des programmes ?
2. Si on part du principe que le système doit pouvoir transporter en une seule opération une adresse via son bus d'adresses, combien d'adresses-mémoires RAM différentes peut-on avoir dans un ordinateur dont le bus d'adresse est un bus 16 bits ? Si on considère que chaque case mémoire correspond à un octet, quelle est la mémoire vive maximale disponible sur ce système s'il ne disposant pas d'autres manières d'adresser sa mémoire ?
3. Faire de même pour un ordinateur muni d'un processeur 32 bits, et de bus d'adresses de 32 bits.
4. Votre disque dur ou votre carte SD correspondent-t-ils à la mémoire vive ?
5. Combien d'opérations pour stocker ou lire un grand entier stocké sur 4 octets avec un bus de données de 8 bits connaissant l'adresse mémoire du premier octet ?
6. Combien d'opérations pour stocker ou lire un grand entier stocké sur 4 octets avec un bus de données de 32 bits connaissant l'adresse mémoire du premier octet ?
7. La même lecture d'un entier sur 4 octets va-t-elle être plus rapide avec un bus de données 64 bits ?
8. Dans quel cas le bus de données 64 bits va-t-il alors être plus efficace ?

CamScanner

1/ Equipement permenant
→ CPU : Micro Processeur / Controleur
└ RAM

2/ Eqq Snpp → mémoire es
3/ Entré → clavier / capteur / be
4/ Sortie → LCD / ~~Leds~~
5/ IHM (Touch Screen)

Les attributs des SEE
→ Interfaçage avec sys
└ concurant et comportement reactif
└ Prise en charge de fautes
└ Diagnostic

Contrainte → Coût
└ Taille / poid
└ Puissance / energie

Codesigne → MCU (au lieu microproc)
→ permet de concevoir → OS
en interp
| Materiel / Logiciel

Etape
1/ Specificat
2/ Modelisat°
3/ partitionnement
4/ synthese et optimisat°
5/ Validat°
6/ Integr

Chap 1
Embended system

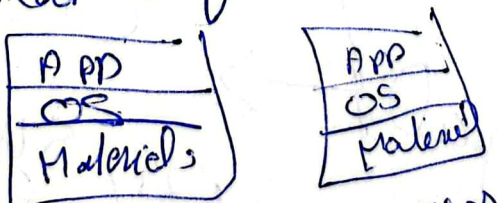
Def Sys Embarqué → sys électronique et info autonome
1 Spéci 2 → Pour des tache précis
→ Partie Matérielle
" Logicielle

1/ Domaine d'applicat°
→ Transport
→ Médicale
→ Télécom ...

2/ Caractéristique d'un SEE.
1/ Dédié à une applicat° précise
2/ cout réduit
3/ Volume ↘
4/ capacité mémoire →
5/ Fiable
6/ Consommat° d'énergie

3/ Fct principale
→ Sys de contrôle en boucle en boucle fermé
→ Traît de signal
→ communicat° et fct de Rt

4/ Architecture
réalisé d'un CPU ou MCU
sys processeur contrôl
→ Cpld
si G : processeur + mémoire



P5T. 1

```
Library ieee;
  use ieee std_logic_1164.ALL;

Entity bas is
Port (a,b,c,d,clk :IN std_logic;
      z :out std_logic;)
End bas

Architecture Ab of bas is
signal s1, s2, s3, s4 std_logic;
Process (clk)
begin
  s1 <= a and b
  s2 <= c and
  if clk ='1' then
    s3 <= s1
    s4 <= s2
  End Process
  Z <= s3 xor s4
End Ab
```

```
Library ieee;
  use ieee std_logic_1164.ALL;
Entity basq is
  Port (D:IN std_logic (clk, rst)
        Q : out std_logic)
End basq
Architecture bas of basq is beg ~
  Process (clk, rst)
  begin
  if clk = '1' then
    Q <= D
  else if rest = '1' then
    Q <= 0
  end if
end bas
```

```
Library ieee;
use ieee.std_logic_1164.all;

Entity bascule is
Port (a,b : IN std_logic
      c,d, clk
      z : out std_logic )
End bascule.

Architecture As of basule is
signal s1, s2, s3, s4 : std_logic ;
  s1 <= a and b
  s2 <= c and d
```

```
Library ieee;
use ieee std_logic_1164.A_
Entity - is
Port( E, clk, rst :IN ____
      Q0, Q1, Q2 : out ____ )
End entity
Architecture A_ of _ is
-- composed basule
    port ( D, clk, rst :in
           Qin )
   End composed
signal SQ0, SQ1,
Q0 <= SQ0
Q1 <= SQ1
U1 : basc port_map (E, clk, rst, SQ0)
U2 : basc portmap(SQ0, clk, rst, SQ1)
U3 : basc portmap (SQ1, clk, rst, Q2)
EN A_
```

Exo 1 :

1) PLD → PAL, GAL, EPLD, FPGA

2) PLD : - prix
- vitesse de fonctionnement
- nombre de portes
- consommation.

3) - zone de fusibilité
- entrée
structure sortie

4) Macrocellule
Bloc à multiplexage
cellule symétrique
les bus

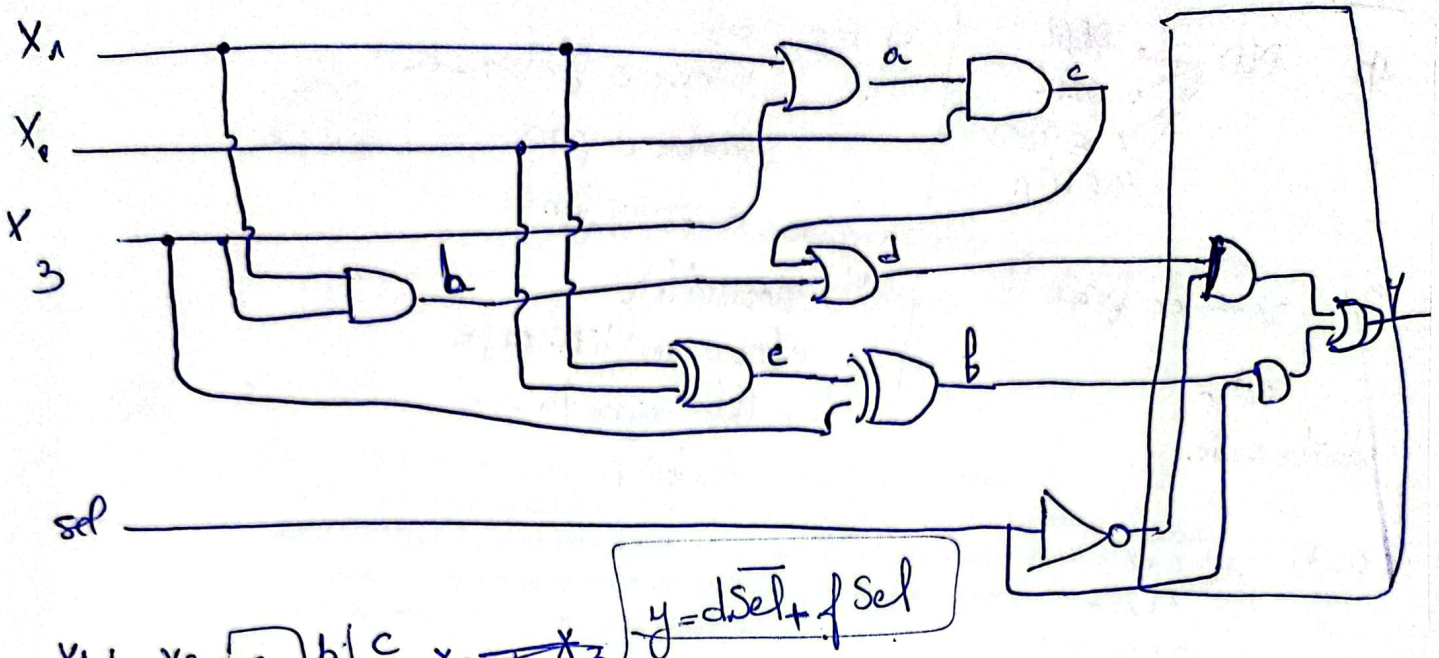
a.b ⇒ 0x1 = 0
1x1 = 1
0x0 = 1

a+b ⇒ 1+1 = 1
1+0 = 1
0+0 = 0

```
Entity mux is
  Port ( a,b : in STD_logic_vector (7 down to 0)
         sel : in STD_logic_vector (1 down to 1)
         c : out STD_logic_vector (7 down to 0) )

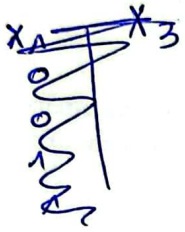
  End mux;

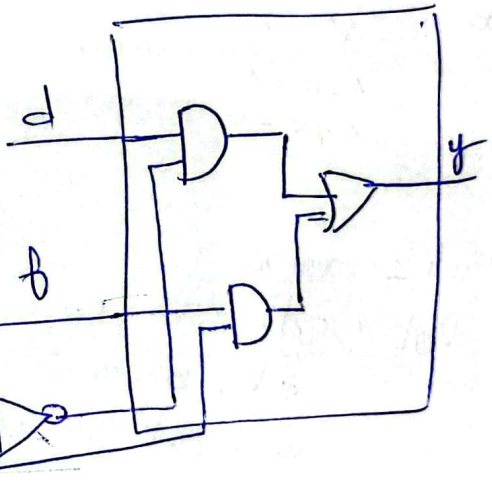
Architecture exemple of mux is
  begin
  process (a,b,sel)
   if (sel = "00") then
      c <= "0000";
   elsif (sel = "01") then
     c <= a;
   elsif (sel = "10") then
     c <= b;
   else
      c <= (others => 'Z');
   end if
end process
```



$y = d\overline{sel} + f\,sel$

X_1	X_3	a	b	c
0	0	0	0	
0	1	1	0	
1	0	1	0	
1	1	1	1	





X_1	X_2	X_3	sel	a	b	c	d	e	f	f
0	0	0		0	0					
0	0	1		0	0					
0	1	0		1	0					
0	1	1		1	0					
1	0	0		1	0					
1	0	1		1	1					
1	1	0		1	0					
1	1	1		1	1					

GCR2
2022/2023

Systèmes Electroniques Embarqués

Série de TD N°1

Exercice 1 :

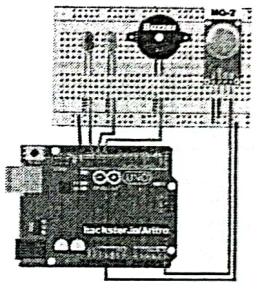
1) Citer six caractéristiques d'un système électronique embarqué.
2) Quelles sont les couches d'une architecture SEE. Donner le rôle de chaque couche.
3) Citer les cinq éléments constitutifs d'une architecture SEE. Donner des exemples.
4) Quelles sont les principales contraintes lors de conception d'un SEE.
5) Quelles sont les étapes d'un codesign.

Exercice 2 :

Soit à réaliser un système de surveillance de température et un système de surveillance fumés et gaz. Donner les attributs de ces systèmes :

- Fonction
- Contraintes
- Inputs
- Outputs
- MCU





Exercice 3 :

1) Donner les significations de chacune des acronymes CISC et RISC.
2) Quelle est la principale différence entre un CISC et un RISC.
3) Qu'est-ce qu'une IP. Pourquoi parle-t-on d'IP-reuse.
4) Quelles sont les caractéristiques d'un circuit DSP. Qui le différencie d'un processeur classique.
5) Quelles sont les caractéristiques d'un processeur ARM.

CamScanner

Système embarqué :
est défini comme un système électronique et informatique autonome, spécialisé dans une tâche bien précise.

partie matériel — partie logiciel d'exploitation temps réel (RTOS)

- fiable, tolérence aux fautes sécurité de fonctionnement ..

+ caractéristique d'un SEE :
- coût réduit
~~- consommation~~
- dédié à une application spécifique
- capacité mémoire adaptée
- consommation d'énergie maitrisée
- Exécution en temps réel.

+ fonction principales :
- système de contrôle en boucle fermée
- séquencement
- traitement du signal
- communication et fonctions de Rx

+ def :
CPU : est un système à processeur dans un seul chic (SOC)

+ les contraintes :
- coût
- limite de taille et de poids
- limite de puissance et d'énergie (capacité de batterie)
- environnement (température)
- OS : RTOS compact
- language de programmation

définition : SOC :
circuit complexe qui intègre tous les éléments fonctionnels d'un produit sur une même puce
objectif → + de composants sur une carte.

+ Processeurs CISC : complect instruction set computer
- instruction complexe
- limitation accès mémoire
- temps d'exécution long
- plus efficace (Motorola 68000

+ Processeur RISC : Reduce instruction set computer
- @ sage simple
- compilation facile
- accès mémoire
- exécution rapide

+ Microcontrôleur :
utilisé pour le contrôle embarqué (form microcontrôleur)
- caractéristique :
- périphériques sur le circuit (timer, convertisseur ..)
- prog données intégrées au circuit
- Accès direct du programme

+ DSP : Digital signal Processing :
utilisé pour les app du signal
- grand flot de donnée numérique
- filtre numérique (TV/tel)

+ Processeurs ARM :
- architecture simple
- faible consommation.

+ Bus pour SOC.
- Bus AMBA :
→ simplifie l'intégration.
AHB : rapide / synchrone / multi maître
ASB : pour les haute performances
APB : plus lent et plus faible, synchrone, maître unique

système d'exploitation pour un SOC
- pour utiliser soft + hard
- logiciel tourne sur un SE

Def :
ensemble de prog pour gestion d'opérat° de
- contrôle
- coordinat°
- utilisat° du matériel.

+ SE Mobile :

+ fct° :
- gestion mémoire
- " micro processeurs
- " sécurité
- " sys fichier

expl :
IOS / Android / windows module

symbian os :
- smartphone + PDA
- 2G/3G

plan os / Gonnet os :

TD1:

Ex1

1/ - capacité mémoire adapté
- dédié à une applicat° specifique
- coût reduit
- consomat° d'energie metrisé
- Taille réduit
- interfassage facile avec le monde esterieur

2/ - materiel: Traitement de donné et transformat° d'info
- OS : Pilote la partie materiel
- Applicat°: interfacage entre l'utilisateur et la machine pour realisé la fct.

3/ - equipement permenant: CPU et RAM
- " supplementaire: memoire ~~et~~ de masse
- entrés: capteur, convertisseur, clavier, boutton
- sortie: ecran, diode, signal sonor, imprimante
- IHM: Interface Homme machine (ecran tactile automate

4/ - puissance
- cout
- taille et poids
- environnement (Temperature)

5/ 1/ spécificat° du système
2/ modelisat°
3/ partitionement
4/ synthèse et optimisat°
~~5/ validat°~~

6/ prototype
7/ integrat°
8/ ~~test~~ et utilisat°

Eb 2

I/

Fct : surveillance de température

contrainte : - coût
- taille
- consomat° d'énergie
- # point

Input : - capteur de température
- touche de mode

Output : - signal sonor (buzzer)
- signal visuel (led / Afficheur LCD)

MCU : micro-controlleur (8 bit / 10 Mbit/second)

II/

Fct : surveillance fumé gaz

Contrainte : ↑
Input : ↑ et MQ2
Output : ↑
MCU : arduino (car c'est 3 ds l'image)

Eb 3

1/ Complexe
Reduce

2/ CISC : complexe (
RISC : réduit (simple) (Et mode d'adressage plus simple)
↳ plus rapide
↳ présente un nbre important des registre generaux

3) Intellectual Property : ce sont des bloc prêt à être utilisé
→ IP-reuse → réutilisable pour minimiser le coût

4/ DSP → processeur pour traitement de signal (il est dédié)

5) ARM : Top du processeur (vitesse / energie minimal / memoir RISC cap. architecture Von Neumann